# MODUL 6

FLIP-FLOP

# TUJUAN :

Setelah melaksanakan percobaan ini mahasiswa diharapkan mampu :

* + - Membedakan sifat dasar SR-FF dengan dan tanpa clock
    - Membuat D-FF dan T-FF dari JK-FF dan SR-FF
    - Membuat rangkaian Master Slave JK-FF
    - Menggunakan input-input Asinkron pada JK-FF
    - Mendisain beberapa macam rangkaian sekuensial menggunakan ke-4 jenis Flip- flop

# PERALATAN :

* Protobord
* IC 7400 (1 buah), IC 74LS75, IC 74LS74, LED (2 buah), Resistor (100Ω (2buah), 47kΩ (4buah).
* Konektor
* Power supply

# TEORI :

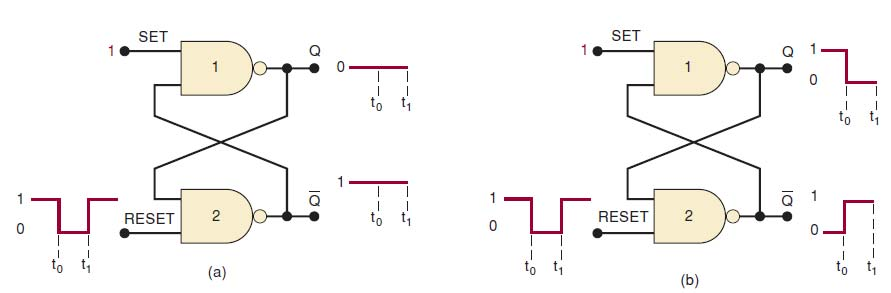
## Pendahuluan

Flip-flop merupakan suatu rangkaian sekuensial yang dapat menyimpan data sementara *(latch)* dimana bagian outputnya akan me-respons input dengan cara mengunci nilai input yang diberikan atau mengingat input tersebut. Flip-flop mempunyai dua kondisi output yang stabil dan saling berlawanan.

Perubahan dari setiap keadaan output dapat terjadi jika diberikan *trigger* pada flip-flop tersebut. *Triger* –nya berupa sinyal logika “1” dan “0” yang kontinyu. Ada 4 tipe Flip-flop yang dikenal, yaitu SR, JK, D dan T Flip-flop. Dua tipe pertama merupakan tipe dasar dari Flip-flop, sedangkan D dan T merupakan turunan dari SR dan JK Flip-flop.

## SR-Flip-Flop (SET & RESET Flip-Flop)

SR-Flip-flop dapat dibentuk dengan dua cara; dari gerbang NAND atau dari gerbang NOR. Pada percobaan ini kita akan mengamati dua jenis SR-FF, yang tanpa menggunakan *Clock* dan dengan menggunakan *Clock*. Perbedaan dasar dari kedua jenis SR tersebut adalah perubahan output berikutnya akan terjadi dengan atau tanpa adanya *clock / trigger*. Contoh rangkaian RS Flip-flop menggunakan gerbang NAND ditunjukkan Gambar. 1



Gambar 6.1. RS Flip-flop menggunakan NAND

Table 6.1 Tabel kebenaran dari RS Flip-Flop tanpa clock adalah

|  |  |  |
| --- | --- | --- |
| Set (S) | Reset (R) | Output |
| 1 | 1 | No change |
| 0 | 1 | Q=1 |
| 1 | 0 | Q=0 |
| 0 | 0 | Invalid\* |

\*Produces

1. SET = RESET = 1

Kondisi ini normal state, dan tidak membuat perubahan apapun terhadap state output. akan tetap sama state nya dengan sebelumnya.

2. SET = 0, RESET = 1

Menyebabkan output berubah ke state Q=1, disebut sebagai setting latch

3. SET = 1, RESET = 0

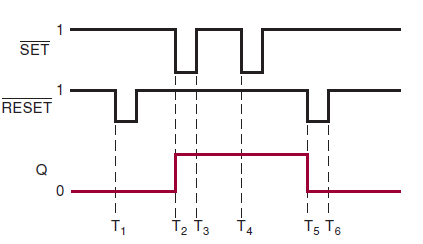
Kondisi ini menghasilkan state 0,dan disebut sebagai clearing/resetting latch

4. SET=RESET=0

Kondisi ini mencoba untuk SET dan CLEAR latch pada waktu yang bersamaan, dan

Menghasilkan Q=Q= 1. Jika input dikembalikan ke 1 secara bersamaan, maka

hasilnya adalah tidak bisa diprediksi. Kondisi input ini tidak dipergunakan.



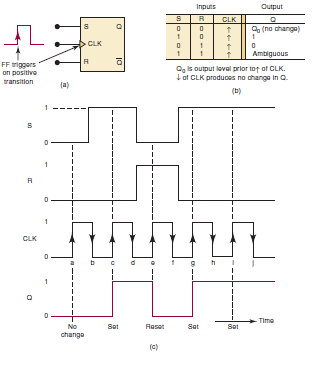
Gambar 6.2. Diagram Waktu Flip-Flop SR

## SR-Flip-Flop dengan Clock SET & RESET Flip-Flop)

## Perubahan keluaran dari FF-SR berdetak hanya akan terjadi jika masukan Clock = 1. Pada saat masukan Clock = 0, maka S' = R' = 1, sehingga keluaran Q dapat bernilai 0 atau 1. Pada keadaan Clock = 0 meski harga S dan R berubah-ubah tetapi keluaran flip-flop tetap. Keluaran flip-flop berubah hanya ketika Ck bertransisi dari 0 ke 1 dan harga keluaran tersebut tergantung dari keadaan S dan R pada saat Ck = 1.Transisi detak yang demikian disebut transisi positif. Keluaran flip-flop tidak akan berubah meskipun Ck berubah dari 1 ke 0. Gambar 6.3 menunjukkan rangkaian RS flip-flop dengan clock.



Gambar 6.3 Rangkaian RS Flip-flop dengan clock



Gambar 6.4 Diagram sistem kerja RS Flip-flop dengan clock.

## D-FLIP FLOP (Delay/Data Flip-Flop)

Sebuah D-FF terdiri dari sebuah input D dan dua buah output Q dan Q’. D-FF digunakan sebagai Flip-flop pengunci data. Prinsip kerja dari D-FF adalah sebagai berikut : berapapun nilai yang diberikan pada input D akan dikeluarkan dengan nilai yang sama pada output Q. D-FF diaplikasikan pada rangkaian-rangkaian yang memerlukan penyimpanan data sementara sebelum diproses berikutnya. Salah satu contoh IC D-FF adalah 74LS75, yang mempunyai input Asinkron.

* 1. F juga dapat dibuat dari JK-FF, dengan mengambil sifat Set dan Reset dari JK-FF tersebut. Rangkaian D-FF ditunjukkan pada gambar 6.5



*PS*

D Q

T

Q

*PC*



D

T

*PS*

J Q

K Q

*PC*

Gambar 6.5. D-Flip Flop Simbol Logika D-FF 74LS75

# PROSEDUR PERCOBAAN

## SR-FF dengan dan tanpa Clock

1. Rangkaian rangkaian RS Flip-flop seperti Gambr 6.1
2. Berikan nilai melalui switch pada input-input S dan R-nya.
3. Amati hasilnya pada display output Q-nya.
4. Untuk SR-FF dengan Clock, respons berikut dari output Q baru nampak jika input Clock sudah ditekan.
5. Tuliskan hasilnya pada Tabel PS/NS.
6. D Flip-flop
7. Buatlah rangkaian D-Flip-flop menggunakan IC 74LS75
8. Berikan nilai melalui switch pada input Data kemudian amati hasi keluarannya
9. Ulangi Langkah 1 menggunakan IC 74LS74
10. Lengkapi table berikut:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Mode Operasi | Asinkron | | Sinkron | | Keluaran | |
| PR | CLR | CK | D | Q |  |
| Set asinkron | 0 | 1 | X | X |  |  |
| Reset asinkron | 1 | 0 | X | X |  |  |
| Terlarang | 0 | 0 | X | X |  |  |
| set | 1 | 1 | ↑ | 1 |  |  |
| reset | 1 | 1 | ↑ | 0 |  |  |